



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000188396 A**(43) Date of publication of application: **04.07.00**

(51) Int. Cl.

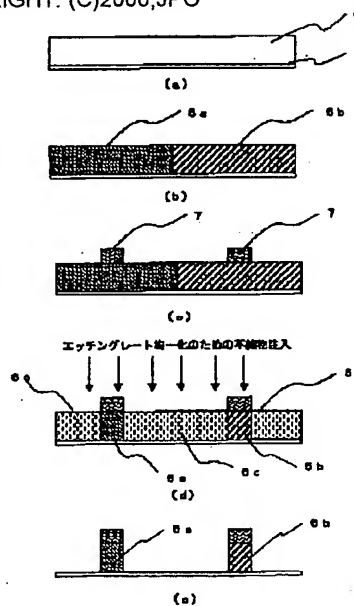
H01L 29/78**H01L 21/265****H01L 21/3065****H01L 21/8238****H01L 27/092**(21) Application number: **10365286**(71) Applicant: **NEC CORP**(22) Date of filing: **22.12.98**(72) Inventor: **KIMIZUKA NAOHIKO**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for uniformly etching a gate insulating film and a semiconductor substrate without damaging them and for forming a gate electrode, when regions different in etching rates are given in the same gate polysilicon film by means of introducing different concentration ions or different ion types.

SOLUTION: When regions 6a and 6b, where the impurities of different concentration or the impurities of different types are partially implanted, exist in a polysilicon film 6 formed on a semiconductor substrate as shown in Fig. (b), the impurities of high etching rate are implanted (6c) in an etched region after a lithographic process for patterning a gate electrode, and the etching rate is made uniform.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188396

(P2000-188396A)

(43) 公開日 平成12年7月4日 (2000.7.4)

| (51) Int. Cl. ⁷ | 識別記号 | F I | チート (参考) |
|----------------------------|---------|---------------|---------------------|
| H 0 1 L | 29/78 | H 0 1 L 29/78 | 3 0 1 G 5 F 0 0 4 |
| | 21/265 | 21/265 | P 5 F 0 4 0 |
| | 21/3065 | | W 5 F 0 4 8 |
| | 21/8238 | 21/302 | J |
| | 27/092 | 27/08 | 9 2 1 D |
| | | 審査請求 有 | 請求項の数 4 O L (全 5 頁) |

(21) 出願番号 特願平10-365286

(22) 出願日 平成10年12月22日 (1998.12.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 君塚 直彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

Fターム (参考) 5F004 AAG1 AAG3 DB02 DB02 FA02

5F040 DA00 DA21 DB03 EC07 EK01

FC11 FC14 FC15 FC21

5F048 AAG1 AAG3 EB06 EB07 BG01

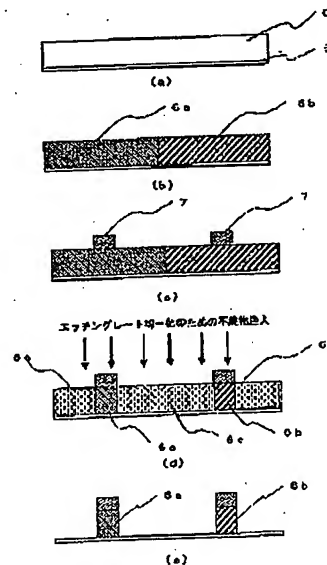
DA00

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、異なる濃度のイオンが導入されたり、異なるイオン種が導入されることにより、同一ゲートポリシリコン膜内において、エッチングレートが異なる領域を有する場合に、ゲート絶縁膜や半導体基板にダメージを与えることなく均一にエッチングしてゲート電極を形成する方法を提供することを目的とする。

【解決手段】 図3 (b) に示すように、半導体基板上に形成されたポリシリコン膜 (6) に部分的に異なる濃度の不純物または異なる種類の不純物が注入された領域 (6 a 及び 6 b) がある場合に、図3 (c) に示すゲート電極をパターンニングするためのリソグラフィ工程の後、エッチングする領域にエッチングレートの大きな不純物を注入し (6 c)、エッチングレートの均一化を図る。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたポリシリコン膜の少なくとも2以上の領域に濃度及び/または種類異なる不純物を注入する工程と、次いで、前記ポリシリコン膜上にゲート電極のパターニングに用いるマスクを形成する第2の工程と、次いで、前記マスクが形成されていない領域にエッチングレートの大きな不純物を注入する第3の工程と、次いで、前記マスクが形成されていない領域をエッチングし、ポリシリコンゲート電極を形成する第4の工程と、を含む半導体装置の製造方法。

【請求項2】 前記第3の工程で用いるエッチングレートの大きな不純物がリンであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1の工程で用いる不純物がリンを含む場合において、前記第3の工程で用いるリンの濃度が、前記第1の工程で用いるリンの濃度より高濃度であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 請求項1～3のいずれかに記載の半導体装置の製造方法を用いて、CMOS構造を形成することとを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置におけるゲート電極の形成方法に関し、さらに詳しくは、エッチングレート異なるポリシリコン膜を同時にエッチングし、ゲート電極を形成する方法に関する。

【0002】

【従来の技術】 MOSFETの飽和電流の増大やサブスレッショルド特性の向上を図るためには、ゲート長の微小化と同時にゲート絶縁膜容量の増大を行う必要がある。このため、従来からMOSFETの高性能化のための手段としてゲート酸化膜の薄層化が用いられてきた。

【0003】 しかしながら、ゲート酸化膜厚が極薄膜の領域では、ポリシリコンゲート電極中に空乏層が形成される効果（ゲート電極空乏化効果）により実効的な膜厚が物理膜厚よりも厚く観測される現象が顕在化し、薄層化による効果が得られにくくなる。従ってMOSFETの性能向上のためにはゲート電極空乏化の防止対策をゲート酸化膜の薄層化と同時に進めなければならない。

【0004】 ゲート電極空乏化の防止にはゲート電極中の不純物濃度の高濃度化が有効である。このためにはポリシリコン膜の増幅直後に不純物イオンの注入を行い、ゲート電極中の不純物濃度を上げることが効果的な手段となる。

【0005】 一方、不純物イオンをポリシリコン膜中に導入した場合、ドライエッチングの際のエッチレートが注入イオン種や注入量に応じて変化することが知られている。例えばリンイオンをノンドープポリシリコンに注入した場合はエッチレートが増大し、またボロンイオン

を注入した場合はエッチレートが減少することが知られている。PMゲート構造の採用を前提とし、ポリシリコン膜の一部の領域のみにイオン注入が行った場合や、または複数のイオン種をポリシリコン膜中に導入した場合、均一にポリシリコンをエッチング、除去することが困難になる。したがって、特にゲート絶縁膜厚が薄い場合には、オーバーエッチングにより、半導体基板がエッチングされる危険性がある。

【0006】 そこで予めポリシリコン膜中の一部の領域のみに不純物イオンが導入されている場合や、領域によって異なるイオン種が導入されている場合、これらを均一にエッチング、除去するための工程が必要になる。

【0007】

【発明が解決しようとする課題】 本発明は、上記の課題に鑑みなされたものであり、異なる濃度のイオンが導入されたり、異なるイオン種が導入されることにより、同一ポリシリコン膜内において、エッチングレート異なる領域を有する場合に、ゲート絶縁膜や半導体基板にダメージを与えることなく同時にエッチングしてゲート電極を形成する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、半導体基板上に形成されたポリシリコン膜の少なくとも2以上の領域に濃度及び/または種類異なる不純物を注入する工程と、次いで、前記ポリシリコン膜上にゲート電極のパターニングに用いるマスクを形成する第2の工程と、次いで、前記マスクが形成されていない領域にエッチングレートの大きな不純物を注入する第3の工程と、次いで、前記マスクが形成されていない領域をエッチングし、ポリシリコンゲート電極を形成する第4の工程と、を含む半導体装置の製造方法に関する。

【0009】 第3の工程で用いるエッチングレートの大きな不純物は、リンであることが好ましい。

【0010】 また、第1の工程で用いる不純物が、リンを含む場合には、第3の工程において用いるリンの注入濃度をさらに高濃度にするにより、マスクが形成されていない領域のエッチングレートを均一化することができる。

【0011】 また、本発明の用途としては、ポリシリコン膜をゲート電極として用いる半導体装置の製造方法に用いることができるが、特にCMOS構造の半導体装置の製造方法に有効である。

【0012】

【発明の実施の形態】 本発明について、図面を参照しながら説明する。図3は、本発明の半導体装置の製造方法の一実施形態として、エッチングレート異なる領域を有するポリシリコン膜を同時にエッチングし、ゲート電極を形成する場合の工程断面図を示したものである。

【0013】 図3(a)は、半導体基板上に設けられたゲート絶縁膜5の上に、ポリシリコン膜6が形成されて

いることを示す。

【0014】図3(b)は、ポリシリコン膜に部分的に異なる濃度の不純物または異なる種類の不純物が注入された様子を示す。

【0015】例えば、領域A(6a)と領域B(6b)で、注入された不純物の濃度が異なる例としては、領域A(6a)、領域B(6b)で注入された不純物は同一種(例えば、リンまたはボロン)であるが、注入された濃度が異なる場合や、領域A(6a)において、一種の不純物(例えば、リンまたはボロン)が注入され、領域B(6b)には、不純物がまったく注入されない場合などが挙げられる。

【0016】例えば、領域A(6a)と領域B(6b)とで、不純物の種類が異なる例としては、領域A(6a)にリンが注入され、領域B(6b)にボロンが注入される場合等である。

【0017】次いで、図3(c)に示すように、注入された不純物の状態が異なる領域上に、例えばレジストパターン7が形成される。このレジストパターンがマスクとなり、後工程において、ゲート電極が形成される。さきに説明したように図3(c)の状態、エッチングを行うと、領域Aと領域Bでエッチングレートが異なるために、エッチング条件を一方の領域に合わせると、他方の領域において、エッチング残りが生じたり、逆にゲート絶縁膜までオーバーエッチングしてしまうといった現象が発生する。

【0018】本発明においては、図3(d)に示すように、エッチングレートを均一化するための不純物注入を行う。この不純物注入は、例えば、エッチングレートの高いリンを注入することにより行う。リンのかわりに、Si、As、Ge等の不純物を注入することも可能である。

【0019】この場合、図3(b)に示した工程において、ポリシリコン膜の一部の領域に、既にリンが注入されている場合は、既に注入されたリンの濃度より高濃度のリンを注入する必要がある。濃度については、濃度が高い方が均一エッチングの効率が上がるが、濃度を上げると、ゲート電極中に拡散することもあるため、ゲート電極の電気特性が大きく変化しない程度の濃度であることが好ましい。

【0020】図3(e)に示すように、ゲート絶縁膜まで均一にエッチングし、ゲート電極構造を形成する。

【0021】本発明の製造方法は、ポリシリコン膜をゲート電極として用いる半導体装置の製造方法に用いることができ、例えば、CMOS構造を有する半導体装置においては、非常に有効な製造方法である。

【0022】以下に実施形態を示しながら、さらに本発明を詳しく説明する。

【0023】(実施形態1)本発明の第1の実施形態を、図1に示す工程における断面図を参照して説明す

る。まず、図1(a)に示すように、半導体基板1上に酸化シリコン膜より成る素子分離領域2を形成し、引き続きリソグラフィーおよびイオン注入によりPウェル領域3およびNウェル領域4を形成する。

【0024】続いて図1(b)に示すように、例えば2.5nmのゲート酸化膜5を形成して膜厚200nmの多結晶シリコン膜6を成膜する。

【0025】続いて図1(c)に示すように、フォトリソグラフィをマスクとしてMOSFETを形成する領域上に存在する多結晶シリコン膜に選択的に第1のリンイオンの注入(例えば20keV $3 \times 10^{11}/\text{cm}^2$)を行う。この工程によってポリシリコン膜中にリンが注入された領域8を形成する。

【0026】続いて図1(d)に示すように、ゲート電極のパターニングに用いるフォトリソグラフィを多結晶シリコン膜6上に形成する。

【0027】続いて図1(e)に示すように、ポリシリコン膜中に第2のリンイオンの注入する。既に領域8には、第1のリンが注入されているので、第1のリンより高濃度の注入する必要があり、例えば20keV $5 \times 10^{12}/\text{cm}^2$ を注入する。

【0028】続いて図1(f)に示すように、レジストパターンをマスクとして多結晶シリコン膜をエッチングすることにより、ゲート電極を形成する。

【0029】第2のリンイオンの注入により、Nウェル上のポリシリコンとPウェル上のポリシリコンのエッチレートが等しくなる。ゲート絶縁膜5やその下のNウェル、Pウェルにダメージを与えることなく、均一にエッチングすることが可能となる。

【0030】(実施形態2)本発明の第2の実施形態を、図2に示す工程における断面図を参照して説明する。第1の実施形態に従い、図2(a)に示すようにMOSFETを形成する領域に存在するポリシリコン膜に第1のリンイオンを注入する(例えば20keV $3 \times 10^{11}/\text{cm}^2$)。

【0031】続いて図2(b)に示すようにMOSFETを形成する領域上に存在する多結晶シリコン膜にボロンイオンを注入する(例えば20keV $3 \times 10^{11}/\text{cm}^2$)。

【0032】続いて図2(c)に示すようにゲート電極のパターニングに用いるレジストパターンを形成する。引き続きエッチレートの均一化を行うために、第2のリンイオンの注入を行う(例えば20keV $1 \times 10^{12}/\text{cm}^2$)。

【0033】続いてリンが注入された多結晶シリコン膜のエッチングを行い、図2(d)に示すようにゲート電極を形成する。

【0034】このように、部分的に異なる種類の不純物が注入されたポリシリコン膜をエッチングしてゲート電極を形成する際も、エッチングレートの高い不純物を注入することによって、均一にエッチングすることができ

る。

【0035】

【発明の効果】以上説明したように本発明は、ゲート電極形成前の一部の領域のポリシリコン膜に予め不純物イオンが導入されている場合や、あるいは異なるイオン種が同時にポリシリコン膜中に導入されている場合に、ゲート電極をパターニングするためのリソグラフィ工程の後、エッチングする領域にエッチレートの大きな不純物を注入することを特徴とし、これによってももとはエッチングレートが異なっていた領域のエッチングレートを均一化することが可能となり、その結果、ポリシリコン膜の下層のゲート絶縁膜、さらには、ウェルにダメージを与えることなくゲート電極を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の工程断面図を示す。

【図2】本発明の第2の実施形態の工程断面図を示す。

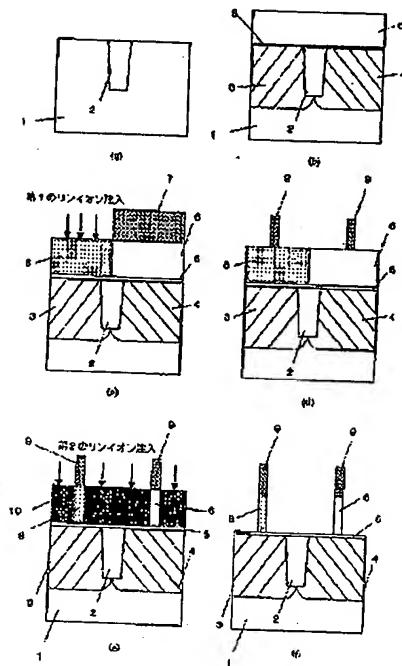
【図3】本発明の半導体装置の製造方法の一実施形態として、エッチングレートの異なる領域を有するポリシリコン膜を同時にエッチングし、ゲート電極を形成する場合

* 台の工程断面図を示す。

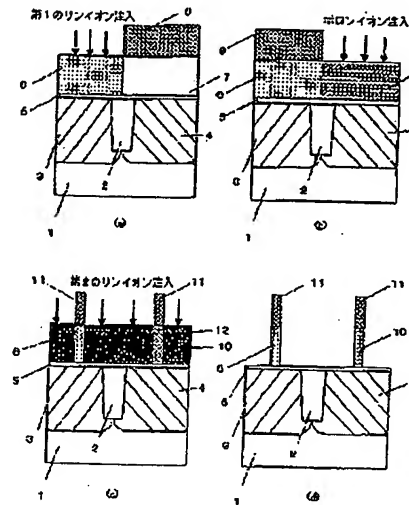
【符号の説明】

- 1 シリコン基板
- 2 素子分離
- 3 Pウェル
- 4 Nウェル
- 5 ゲート絶縁膜
- 6 ポリシリコン膜
- 6 a, 6 b 不純物が注入されたポリシリコン膜
- 6 c エッチングレートの大きな不純物が注入されたポリシリコン膜
- 7 レジストパターン
- 8 低濃度リンドーブポリシリコン膜
- 9 レジストパターン
- 10 高濃度リンドーブポリシリコン膜
- 11 水リンドーブポリシリコン膜
- 12 高濃度リンドーブポリシリコン膜

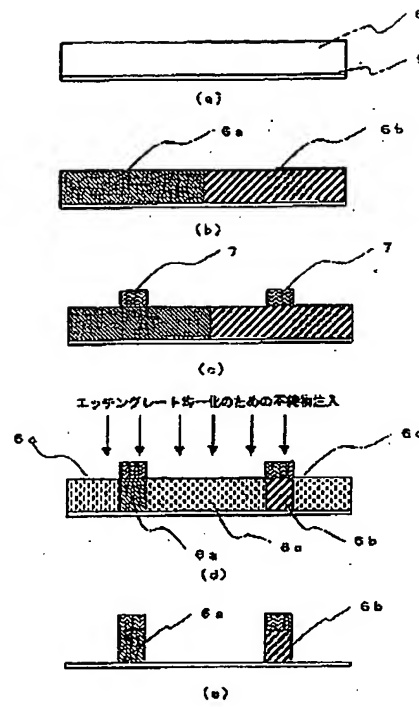
【図1】



【図2】



【図3】



THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] With the process which pours the impurity with which concentration and/differ from sowings into at least two or more fields of the polish recon film formed on the semi-conductor substrate, subsequently With the 2nd process which forms the mask used for patterning of a gate electrode on said polish recon film, subsequently The manufacture approach of a semiconductor device including the 3rd process which pours the big impurity of an etching rate into the field in which said mask is not formed, and the 4th process which etches the field in which said mask subsequently is not formed, and forms a polish recon gate electrode.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by the big impurity of an etching rate used at said 3rd process being Lynn.

[Claim 3] The manufacture approach of a semiconductor device according to claim 2 that concentration of Lynn used at said 3rd process when it includes Lynn in the impurity used at said 1st process is characterized by being high concentration from the concentration of Lynn used at said 1st process.

[Claim 4] The manufacture approach of the semiconductor device characterized by forming CMOS structure using the manufacture approach of a semiconductor device according to claim 1 to 3.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention etches into coincidence in more detail the polish recon film with which etching rates differ about the formation approach of the gate electrode in a semiconductor device, and relates to the approach of forming a gate electrode.

[0002]

[Description of the Prior Art] In order to aim at increase of the saturation current of MOSFET, and improvement in a subthreshold level property, it is necessary to increase gate-dielectric-film capacity to gate length's contraction-izing and coincidence. For this reason, thin film-ization of gate oxide has been used as a means for high-performance-izing of MOSFET from the former.

[0003] However, the phenomenon in which effectual thickness is observed more thickly than physical thickness by the effectiveness (gate electrode depletion-ized effectiveness) that a depletion layer is formed for gate oxidation thickness into a polish recon gate electrode in the field of the ultra-thin film actualizes, and the effectiveness by thin-film-izing becomes is hard to be acquired. Therefore, for the improvement in the engine performance of MOSFET, the preventive measures of the formation of gate electrode depletion must be performed to thin-film-izing and coincidence of gate oxide.

[0004] High-concentration-izing of the high impurity concentration in a gate electrode is effective in prevention of the formation of gate electrode depletion. For that, impurity ion is poured in immediately after deposition of the polish recon film, and it becomes an effective means to raise the high impurity concentration in a gate electrode.

[0005] On the other hand, when impurity ion is introduced into the polish recon film, it is known that the dirty rate in the case of dry etching will change according to an impregnation ion kind or an injection rate. For example, when a dirty rate increases when phosphorus ion is poured into contest non dope polysilicon, and boron ion is poured in, it is known that a dirty rate will decrease. When an ion implantation carries out only to some fields of the polish recon film on the assumption that adoption of PN gate structure, or when two or more ion kinds are introduced into the polish recon film, it becomes difficult to etch and remove polish recon to homogeneity. Therefore, when especially gate-dielectric-film thickness is thin, there is a danger that a semi-conductor substrate will be etched by over etching.

[0006] Then, when impurity ion is beforehand introduced only into some fields in the polish recon film, or when the ion kind which changes with fields is introduced, the process for etching and removing these to homogeneity is needed.

[0007]

[Problem(s) to be Solved by the Invention] This invention aims at offering the approach of etching into coincidence and forming a gate electrode, without giving a damage to gate dielectric film and a semi-conductor substrate, when it has the field where etching rates differ in the same polish recon film by being make in view of the above-mentioned technical problem, introducing the ion of different concentration or introducing a different ion kind.

[0008]

[Means for Solving the Problem] This invention with the process which pours the impurity with which concentration and/differ from sowings into at least two or more fields of the polish recon film

formed on the semi-conductor substrate subsequently With the 2nd process which forms the mask used for patterning of a gate electrode on said polish recon film, subsequently It is related with the manufacture approach of a semiconductor device including the 3rd process which pours the big impurity of an etching rate into the field in which said mask is not formed, and the 4th process which etches the field in which said mask subsequently is not formed, and forms a polish recon gate electrode.

[0009] As for the big impurity of an etching rate used at the 3rd process, it is desirable that it is Lynn.

[0010] Moreover, when the impurity used at the 1st process includes Lynn, the etching rate of the field in which the mask is not formed can be equalized by making further into high concentration impregnation concentration of Lynn used in the 3rd process.

[0011] Moreover, although the polish recon film can be used for the manufacture approach of the semiconductor device used as a gate electrode as an application of this invention, it is especially effective in the manufacture approach of the semiconductor device of CMOS structure.

[0012]

[Embodiment of the Invention] This invention is explained referring to a drawing. Drawing 3 etches into coincidence the polish recon film which has the field where etching rates differ as 1 operation gestalt of the manufacture approach of the semiconductor device of this invention, and shows the process sectional view in the case of forming a gate electrode.

[0013] Drawing 3 (a) shows that the polish recon film 6 is formed on the gate dielectric film 5 formed on the semi-conductor substrate.

[0014] Drawing 3 (b) shows signs that the impurity of partially different concentration or a different impurity of a class was poured into the polish recon film.

[0015] For example, although the impurity poured in in Field A (6a) and Field B (6b) is the same kind (for example, Lynn or boron) as an example from which the concentration of the impurity poured in in Field A (6a) and Field B (6b) differs The case where the poured-in concentration differs, the case where an impurity is not poured into Field B (6b) at all in Field A (6a) by pouring in a kind of impurity (for example, Lynn or boron), etc. are mentioned. [0016] For example, it is with Field A (6a) and Field B (6b), and is the case where Lynn is poured into Field A (6a), and boron is poured into Field B (6b) as an example from which the class of impurity differs etc.

[0017] Subsequently, as shown in drawing 3 (c), a resist pattern 7 is formed on the field where the conditions of the poured-in impurity differ. This resist pattern serves as a mask and a gate electrode is formed in a back process. Since etching rates differ in Field A and Field B when it etches in the state of drawing 3 (c), as explained previously, if etching conditions are doubled with one field, in the field of another side, the phenomenon in which the etching remainder will arise or even gate dielectric film will carry out over etching conversely will occur.

[0018] In this invention, as shown in drawing 3 (d), impurity impregnation for equalizing an etching rate is performed. This impurity impregnation is performed by pouring in high Lynn of an etching rate. Instead of Lynn, it is also possible to pour in impurities, such as Si, As, and germanium.

[0019] In this case, in the process shown in drawing 3 (b), when Lynn is already poured into some fields of the polish recon film, it is necessary to pour in high-concentration Lynn from the concentration of already poured-in Lynn. About concentration, although the effectiveness of homogeneity etching of the one where concentration is higher is high, when concentration is raised, as for being spread in a gate electrode, it is also desirable for a certain reason that the electrical property of a gate electrode is the concentration which is extent which does not change a lot.

[0020] As shown in drawing 3 (e), even gate dielectric film etches into homogeneity and gate electrode structure is formed.

[0021] The manufacture approach of this invention is the very effective manufacture approach in the semiconductor device which can use for the manufacture approach of a semiconductor device of using the polish recon film as a gate electrode, for example, has CMOS structure.

[0022] While an operation gestalt is shown below, this invention is explained further in detail.

[0023] (Operation gestalt 1) It explains with reference to the sectional view in each process which shows the 1st operation gestalt of this invention to drawing 1. First, as shown in drawing 1 (a), on the semi-conductor substrate 1, the component isolation region 2 which consists of the silicon oxide

film is formed, and P well field 3 and N well field 4 are succeedingly formed by lithography and the ion implantation.

[0024] Then, as shown in drawing 1 (b), 2.5nm gate oxide 5 is formed and the polycrystalline silicon film 6 of 200nm of thickness is formed.

[0025] Then, as shown in drawing 1 (c), the 1st phosphorus ion is alternatively poured into the polycrystalline silicon film which exists on the field which forms NMOSFET by using a photoresist 7 as a mask (for example, 20KeV(s) 3×10^{15} -/cm³). The field 8 where Lynn was poured in into the polish recon film according to this process is formed.

[0026] Then, as shown in drawing 1 (d), the photoresist 8 used for patterning of a gate electrode is formed on the polycrystalline silicon film 6.

[0027] then, it is shown in drawing 1 (e) -- as -- the inside of the polish recon film -- the 2nd phosphorus ion -- pouring in . Since the 1st Lynn is poured in, it is necessary to pour high concentration into a field 8 from the 1st Lynn for example, and 5×10^{15} -/cm³ is already poured into it by 20KeV(s).

[0028] Then, as shown in drawing 1 (f), a gate electrode is formed by etching the polycrystalline silicon film by using a resist pattern as a mask.

[0029] By impregnation of the 2nd phosphorus ion, the dirty rate of the polish recon on N well and the polish recon on P well becomes equal. It becomes possible to etch into homogeneity, without giving a damage to gate dielectric film 5, N well under it, and P well.

[0030] (Operation gestalt 2) It explains with reference to the sectional view in each process which shows the 2nd operation gestalt of this invention to drawing 2 . The 1st phosphorus ion is poured into the polish recon film which exists in the field which forms NMOSFET as shown in drawing 2 (a) according to the 1st operation gestalt (for example, 20KeV(s) 3×10^{15} -/cm³).

[0031] Then, boron ion is poured into the polycrystalline silicon film which exists on the field which forms PMOSFET as shown in drawing 2 (b) (for example, 20KeV(s) 3×10^{15} -/cm³).

[0032] Then, the resist pattern used for patterning of a gate electrode as shown in drawing 2 (c) is formed. In order to equalize a dirty rate succeedingly, the ion implantation of the 2nd Lynn is performed (for example, 20KeV(s) 1×10^{16} -/cm³).

[0033] Then, the polycrystalline silicon film with which Lynn was introduced is etched, and a gate electrode is formed as shown in drawing 2 (d).

[0034] Thus, also in case the polish recon film with which the impurity of a partially different class was poured in is etched and a gate electrode is formed, it can etch into homogeneity by pouring in the high impurity of an etching rate.

[0035]

[Effect of the Invention] The case where, as for this invention, impurity ion is beforehand introduced into the polish recon film of some fields before gate electrode formation as explained above, Or when a different ion kind is introduced into coincidence into the polish recon film It is characterized by pouring an impurity with a big dirty rate into the field to etch after the lithography process for carrying out patterning of the gate electrode. A gate electrode can be formed without becoming possible to equalize the etching rate of the field where the etching rate changed also as the basis with these, consequently giving a damage at a well to the lower layer gate dielectric film of the polish recon film, and a pan.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The process sectional view of the 1st operation gestalt of this invention is shown.

[Drawing 2] The process sectional view of the 2nd operation gestalt of this invention is shown.

[Drawing 3] The polish recon film which has the field where etching rates differ as 1 operation gestalt of the manufacture approach of the semiconductor device of this invention is etched into coincidence, and the process sectional view in the case of forming a gate electrode is shown.

[Description of Notations]

1 Silicon Substrate

2 Isolation

3 P Well

4 N Well

5 Gate Dielectric Film

6 Polish Recon Film

6a, 6b Polish recon film with which the impurity was poured in

6c Polish recon film with which the big impurity of an etching rate was poured in

7 Resist Pattern

8 Decreased-Level-Phosphorus Dope Polysilicon Contest Film

9 Resist Pattern

10 High Concentration Phosphorus Dope Polysilicon Contest Film

11 Boron Dope Polish Recon Film

12 High Concentration Phosphorus Dope Polysilicon Contest Film

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

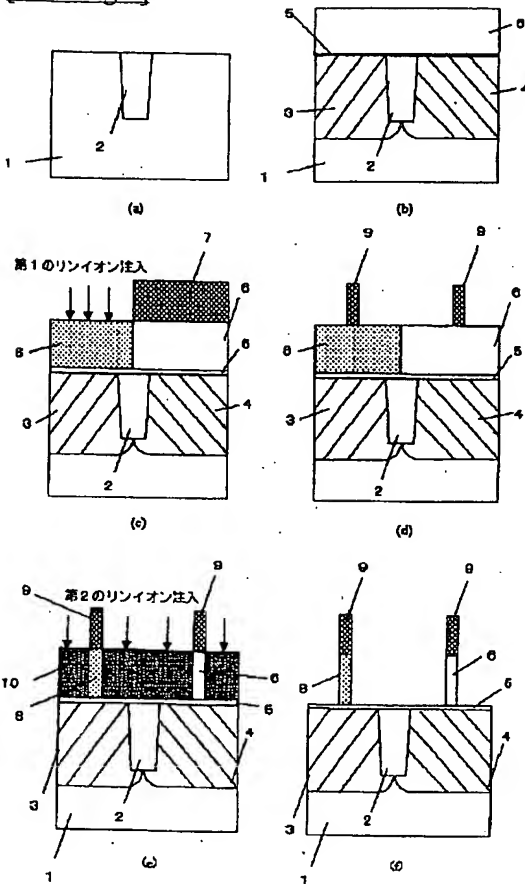
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

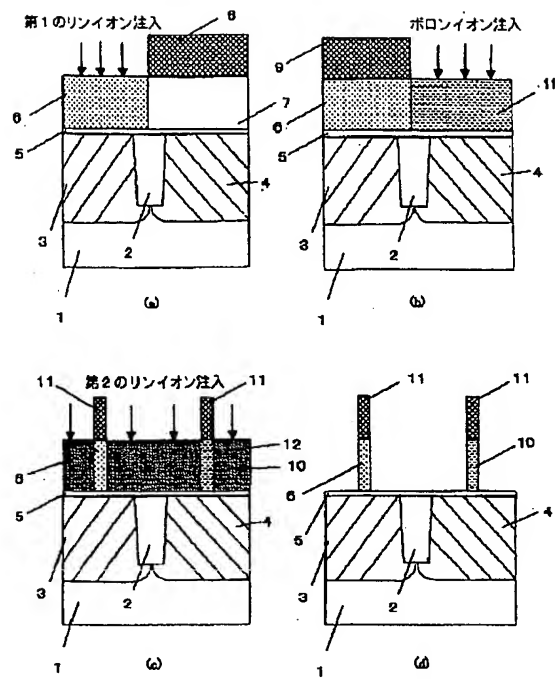
3. In the drawings, any words are not translated.

DRAWINGS

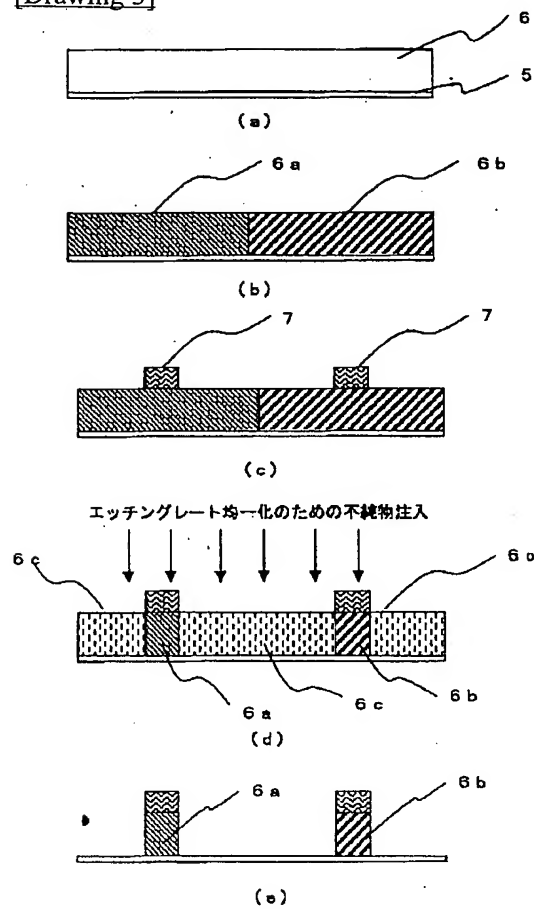
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]